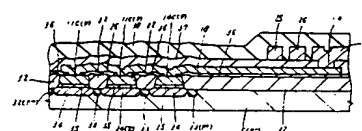
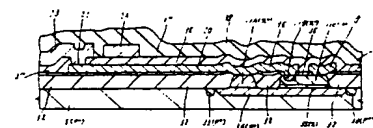
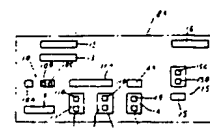


(54) SEMICONDUCTOR DEVICE

(11) 61-125068 (A) (43) 12.6.1986 (19) JP
 (21) Appl. No. 59-246012 (22) 22.11.1984
 (71) HITACHI LTD (72) TORU KOBAYASHI(1)
 (51) Int. Cl. H01L27/04, H01L21/82

PURPOSE: To improve mounting density, by using unused or used semiconductor elements, which are provided in a semiconductor device and unused region other than wirings, forming a smoothing capacitor for stabilizing a power source voltage, thereby reducing an area required for providing the smoothing capacitor.

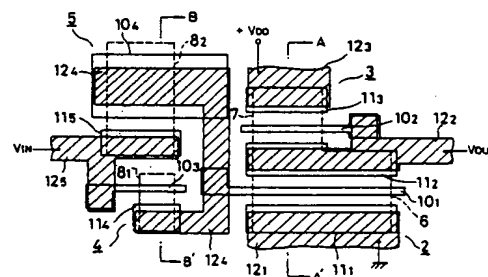
CONSTITUTION: A smoothing capacitor is formed by using extra semiconductor elements in a basic cell 8A. At this time, a junction capacity between an embedded layer 34 and a semiconductor substrate 5, a junction capacity between an epitaxial layer 35 and bases 11C and 14C and a junction capacity between emitters 11B and 14B and the bases 11C and 14C are used. The base regions 11C and 14C are electrically connected to a conducting layer 22 at a Vee potential through a connecting hole 19 by a conducting layer 18. Collector regions 11A and 14A and the emitter regions 11B and 14B are electrically connected to a conducting layer 23 at a Vcc potential through a connecting hole 21 by a conducting layer 20. The conducting layers 22 and 23 are the second conducting layers.

**(54) GaAs LOGIC INTEGRATED CIRCUIT**

(11) 61-125069 (A) (43) 12.6.1986 (19) JP
 (21) Appl. No. 59-244640 (22) 21.11.1984
 (71) AGENCY OF IND SCIENCE & TECHNOL (72) YASUO IGAWA(1)
 (51) Int. Cl. H01L27/06, H01L29/48, H01L29/80

PURPOSE: To make logic amplitude large and to make it possible to provide direct coupling to an SiIC, by providing a GaAs diode, which is connected to the input stage of a DCFL inverter in parallel, and specifying the configuration structure of the second Schottky diode, which is used for discharging the gate of a normally OFF type driver FET.

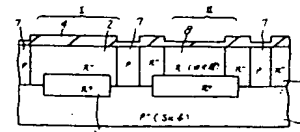
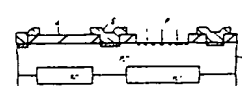
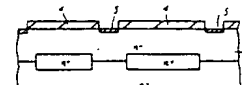
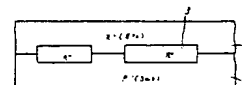
CONSTITUTION: On a GaAs substrate, a normally OFF type first GaAs FET2, which is to become a driver for an inverter circuit, and a normally ON type second GaAs FET3, which is to become a load, are provided. Between the gate of the FET2 and a signal input terminal, a first GaAs diode 4 is connected in a polarity so that forward bias is obtained when the level of an input signal is high. A second GaAs diode 5 is connected to said diode 4 in reverse parallel. A logic gate comprising the diodes 4 and 5 is integrated and formed. The Schottky diode 15 has a square Schottky junction surface. A wiring metal layer 12₄ is extended on a Schottky electrode 10₄, which is located on said Schottky junction surface. The area of the diode 5 is set in the range of 10~20 times the area of the second Schottky diode. Thus the logic gate is stabilized.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 61-125070 (A) (43) 12.6.1986 (19) JP
 (21) Appl. No. 59-245923 (22) 22.11.1984
 (71) HITACHI MICRO COMPUT ENG LTD(1) (72) TAKU SHIGEMATSU
 (51) Int. Cl. H01L27/08

PURPOSE: To reduce the number of processes, in the surface of an epitaxial n⁻ type layer in an IIL co-located linear IC process, by performing p type isolation diffusion for electrically isolating elements and n type well diffusion of an IIL part by the same heat treatment process.

CONSTITUTION: Sb is deposited on a part of the surface of a p⁻ type Si substrate 1. Si, in which low concentration P is doped, is epitaxially grown, and an n⁻ type Si layer 2 is formed. An n⁺ type embedded layer 3 is embedded between the substrate 1 and the Si layer 2. An oxide film 4 is grown on the surface of the Si layer 2. Hot etching is performed and an isolation part 5 of B is deposited. A window is provided in the part 5. Thereafter glass is removed. After hot etching of a well part, the isolation part is covered by a mask 6, and P impurity ions are implanted. Then, the B in the isolation part is elongated by heat treatment and diffused. A p type layer 7 reaching the substrate 1 is formed. P in the well part is elongated and diffused, and n type well part 8 reaching n⁺ type embedded layer is formed. Thus a linear region I and an IIL region II are obtained.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-125068

⑬ Int.Cl.⁴

H 01 L 27/04
21/82

識別記号

庁内整理番号

7514-5F
6655-5F

⑭ 公開 昭和61年(1986)6月12日

審査請求 未請求 発明の数 1 (全10頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-246012

⑰ 出 願 昭59(1984)11月22日

⑱ 発 明 者 小 林 徹 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 宇 佐 美 光 雄 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 電源電圧安定用コンデンサを備えたマスタスライス型半導体装置であって、半導体装置内に設けた未使用の半導体素子または使用半導体素子および配線以外の領域を用いて、前記電源電圧安定用平滑コンデンサを構成したことを特徴とする半導体装置。

2. 前記平滑コンデンサは、NANDゲート、NORゲート等の論理回路を構成するための半導体素子を列方向に複数配置して構成したセル列内の未使用半導体素子に、逆バイアスになるように電源配線を接続して、半導体基板と半導体素子との間の接合容量によって構成されたことを特徴とする特許請求範囲第1項記載の半導体装置。

3. 前記半導体素子は、バイポーラトランジスタであることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

4. 前記平滑コンデンサは、半導体装置の周辺回

路の内で使用されない入出力回路の半導体素子の間の未使用領域に、第1の電位に接続された第1の導電層と、該第1の導電層上に絶縁膜を介して設けられ、かつ第2の電位に接続された第2導電層とで構成したことを特徴とする特許請求の範囲第1項記載の半導体装置。

5. 前記第2導電層は、入出力回路上を延在する電源配線であることを特徴とする特許請求の範囲第4項記載の半導体装置。

発明の詳細な説明

〔技術分野〕

本発明は、半導体装置に関するものであり、特に、電源配線に重畳するノイズの低減に適用して有効な技術に関するものである。

〔背景技術〕

半導体集積回路装置(IC)を実装基板上に複数設けて構成した電子装置では、ICの電気的動作に伴って発生したノイズが電源配線に重畳して電源配線の電位が変動する。電源配線の電位が変動するとトランジスタの出力およびしきい値電圧等の特

性が不安定となり、論理回路等に誤動作を生じる。そこで、前記電子装置では電源配線のノイズを低減するために、ICの間に平滑コンデンサを設けている。

本発明者は、ICの実装密度の向上に伴ってIC間の距離を縮小する必要があるので、実装基板上に平滑コンデンサを設けることが困難になるという問題点を見出した。

なお、実装基板内に複数層の金属層を設けることによって、電源配線のノイズを低減するための平滑コンデンサを構成する技術が、例えば特願昭59-81765号の明細書及び図面に記載されている。

〔発明の目的〕

本発明の目的は、電源配線に重畳するノイズを良好に低減することが可能な技術を提供することにある。

本発明の他の目的は、電源配線の電位変動を低減するための平滑コンデンサをIC内に形成して実装密度を向上させることが可能な技術を提供することにある。

の論理を構成するためのトランジスタを予め列状に配列し、後に顧客の要求に従って論理を構成するマスタースライス方式のICに本発明を適用したものである。

第1図乃至第7図は、本発明の実施例Iを説明するための図であり、第1図は、複数のICを実装基板に搭載して構成した電子装置の斜視図、第2図は、マスタースライス方式のチップの構成の概略を示す平面図、第3図は、第2図におけるセル列の要部の平面図、第4図は、第3図における基本セルに構成された論理回路の等価回路図、第5図は、基本セルに設けられている半導体素子のレイアウト図、第6図は、第3図のVI-VI'切断線における断面図、第7図は、第3図のVII-VII'切断線における断面図である。

なお、第1図と第3図は、構成を見易くするために層間絶縁膜を隠していない。

第1図乃至第7図において、1は実装基板であり、周囲に複数の電極2が設けてあり、上面に配置した複数のIC3を配線4によって相互に電気

本発明の簡記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

半導体装置内に設けた未使用の半導体素子または使用半導体素子および配線以外の未使用領域を用いて、電源電圧安定用平滑コンデンサを構成することにより、平滑コンデンサを設けるために必要な面積を低減して実装密度を向上させたものである。

以下、本発明の構成について、実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能部を有するものは同一符号を付け、そのくり返しの説明は省略する。

〔実施例I〕

実施例Iは、NANDゲート、NORゲート等

的に接続して電子装置を構成している。

5はp⁺型単結晶シリコンからなる半導体基板であり、ボンディングパッド6、入出力回路7、セル列8が第2図に示めすようなレイアウトで設けられている。セル列8は、NANDゲート、NORゲート等の論理回路を構成するための複数の半導体素子を備えた基本セル8Aを列状に配列したものである。

基本セル8Aは、第3図および第5図に示めすように、半導体領域からなる抵抗素子9、12、13、16、とnpn型バイポーラトランジスタ10、11、14、15とを備えている。前記トランジスタは、それぞれの番号に符号Aを付した領域がコレクタ領域、符号Bを付した領域がエミッタ領域、符号Cを付した領域がベース領域である。トランジスタ11は2個のトランジスタからなり、コレクタ領域11Aを2個一体に構成している。

第3図の上部における基本セル8Aは、前記抵抗素子9、12、13、16およびトランジスタ

10、11、14、15を第1層目の導電層17によって接続して、第4図に示めすようにNOR回路を構成している。抵抗素子9、12、13、16およびトランジスタ10、11、14、15と導電層17との接続部分は、×印で示してある。入力端子は第3図に示した導電層17A、17Bであり、出力端子は導電層17Cである。

第3図の中央部における基本セル8Aは、顧客の要求する論理回路を構成するうえでは余分となったものである。したがって、本来ならば使用されないままとなる。

この余分となった基本セル8Aの半導体素子を積極的に用いて平滑コンデンサを構成することに本発明の一つの特徴がある。

前記平滑コンデンサは、例えばトランジスタ11、14のベース領域11C、14C、コレクタ領域11A、14A、エミッタ領域11B、14Bのそれぞれを逆バイアスにしたときの接合容量を用いる。具体的には、埋め込み層34と半導体基板5との間の接合容量、エピタキシャル層35

とベース11C、14Cとの間の接合容量、さらにエミッタ11B、14Bとベース11C、14Cとの間の接合容量を用いる。

ベース領域11C、14Cは、導電層18によって接続孔19を通してV_{ee}電位(例えば-3.0[V])の導電層22に電気的に接続する。コレクタ領域11A、14Aおよびエミッタ領域11B、14Bは、導電層20によって接続孔21を通してV_{cc}電位(例えば0[V])の導電層23に電気的に接続する。前記導電層22、23は第2層目の導電層である。

このように、チップ内に平滑コンデンサを構成できるので、回路を構成する半導体素子、特にトランジスタ10、11、14、15の近傍に平滑コンデンサを設けることができる。よって、平滑コンデンサと半導体素子との間の配線長が短少され、配線抵抗が減少する。これらのことから、導電層22、23等の電源配線に重畳するノイズを前記平滑コンデンサによって良好に吸収できる。したがって、半導体素子に不要に流入するノイズ

を低減することができるので、ノイズによるトランジスタの誤動作を防止することができる。

本実施例では抵抗素子9、12、13、16およびトランジスタ10、15を平滑コンデンサの構成要素として用いていない。しかし、前記と同様にそれら抵抗素子9、12、13、16およびトランジスタ15、10を電気的に逆バイアスにすることによって、平滑コンデンサを構成することができる。

抵抗素子9、12、13、16およびトランジスタ10、15を平滑コンデンサの構成要素とすることによって、平滑コンデンサの容量値を増大させることができる。

抵抗素子9、12、13、16は、それがn型半導体領域からなれば、V_{cc}電位の導電層23に接続し、p型半導体領域からなれば、V_{ee}電位の導電層22に接続する。トランジスタ10、15は、コレクタ領域10A、15Aおよびエミッタ領域10B、15Bを導電層23に接続し、ベース領域10C、15Cを導電層22に接続す

る。第3図に示した導電層24はV_{tt}電位(例えば-2.0[V])、導電層25はV_{bb}電位(例えば-1.1[V])、導電層26はV_{cs}電位(例えば-1.8[V])の信号線である。導電層24、25、26は第2層目の導電層である。

27乃至31は第3層目の導電層であり、導電層27はV_{cc}電位、導電層28はV_{tt}電位、導電層29はV_{ee}電位、導電層30はV_{bb}電位、導電層31はV_{cs}電位をそれぞれ供給するための電源配線である。

なお、導電層28、30、31はV_{cc}電位を供給する導電層27およびV_{ee}電位を供給する導電層29と比較して、流れる電流量が少ない。これより、導電層28、30、31はIC動作に伴う電位変動が小さいので、平滑コンデンサを接続していない。

32はフィールド絶縁膜であり、半導体基板5の上面に設けられ、p⁺型チャネルストップ領域33と共に半導体素子間を電気的に分離している。

第6図および第7図において、36はフィール

ド絶縁層32上に設けられた絶縁膜であり、主にエミッタ領域10B、11B、14B、15Bを形成する際の不純物導入のためのマスクとして用いる。37、38はそれぞれ層間絶縁膜である。なお、第6図、第7図は、第3層目の導電層27乃至31および保護膜を図示していない。

また、バイポーラトランジスタを用いたICでは、通常、導電層としてアルミニウム層を用いる。アルミニウム層はシリコン中に拡散しやすく、エミッタ領域10B、11B、14B、15Bとベース領域10C、11C、14C、15Cとの接合を破壊する恐れがある。これは、本実施例では設けていないが、エミッタ領域10B、11B、14B、15Bと、それに接続した導電層17、20との間に、例えば多結晶シリコン層を介在させることによって防止することができる。

マスタスライス方式のICの製造方法には、顧客の要求がある以前に予じめトランジスタのコレクタ領域10A、11A、14A、15A、ベース領域10C、11C、14C、15C、エミッ

タ領域10B、11B、14B、15Bを形成しておく方式と、予じめ形成するのはコレクタ領域10A、11A、14A、15Aとベース領域10C、11C、14C、15Cのみとし、エミッタ領域10B、11B、14B、15Bは顧客の要求があつてから形成する方式とがある。後者の方式では論理を構成しない基本セル8A内にエミッタ領域10B、11B、14B、15Bが設けられることはない。したがって、エミッタ領域10B、11B、14B、15Bとベース領域10C、11C、14C、15Cとの間の接合容量を平滑コンデンサとして用いることができない。しかし、エミッタ領域10B、11B、14B、15Bとベース領域10C、11C、14C、15Cとの接合容量は、ベース領域10C、11C、14C、15Cとコレクタ領域10A、11A、14A、15Aとの接合容量およびコレクタ領域10A、11A、14A、15Aあるいは埋め込み層34と半導体基板1との接合容量に比べて小さいので影響はない。

以上の説明からわかるように、本実施例1によれば、マスタスライス方式のチップ内に未使用の半導体素子を用いた平滑コンデンサを設けることにより、実装基板1上に設けられるべき平滑コンデンサの面積を不要にすることができる。したがって、平滑コンデンサを設けるために要する面積が低減されるので、実装基板1上のIC3の実装密度を向上することができる。

【実施例Ⅱ】

実施例Ⅱは、第1図に示めた入出力回路7を構成するための基本セル（符号を付していない）の内、未使用の基本セルを用いて平滑コンデンサを構成したものである。

第8図乃至第11図は、実施例Ⅱを説明するための図であり、第8図は、入出力回路7を構成するための基本セル内に設けられた半導体素子のレイアウト図、第9図は、前記基本セル内に構成した平滑コンデンサを説明するための平面図、第10図は、第9図のX-X'切断線における断面図、第11図は、第9図のY-Y'切断線における

断面図である。

まず、第9図を用いて入出力回路を構成するための半導体素子のレイアウトを説明する。

第9図において、 Q_1 、 Q_2 、 Q_3 、 Q_4 はバイポーラトランジスタであり、 n 型コレクタ領域39、 p 型ベース領域40、 n^+ 型エミッタ領域41からなっている。コレクタ領域39の表面には、導電層47との接続抵抗を低減するために、 n^+ 型半導体領域39Aが設けてある。コレクタ領域39、ベース領域40、エミッタ領域41のそれぞれの上面には、半導体基板5内に拡散しにくい金属、例えばタングステン、あるいは多結晶シリコンからなる引出し電極42が設けてある。この引出し電極42は、配線として用いるアルミニウムが半導体基板5内に拡散して、例えばエミッタ領域41とベース領域40との電気的絶縁を破壊するのを防止するために設けたものである。

R_1 、 R_2 、 R_3 は p 型半導体領域からなる抵抗素子であり、負荷抵抗として用いるものである。抵抗素子 R_1 、 R_2 、 R_3 はベース領域40を形

成する工程と同一工程によって形成したものである。抵抗素子 R_1 、 R_2 、 R_3 の所定上面にも引出し電極42が設けてある。

43、44、45、46はそれぞれ第2層目の導電層であり、導電層43は V_{cc} 電位(例えば0[V])、導電層44は V_{ee} 電位(例えば-3.0[V])、導電層45は V_{cs} 電位(例えば-1.8[V])、導電層46は V_{bs} 電位(例えば-1.1[V])を供給するための電源配線である。

前記トランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 および抵抗素子 R_1 、 R_2 、 R_3 によって入出力回路を構成するのであるが、具体的な回路例の説明は省略する。

次に、前記基本セル内に構成した平滑コンデンサの一例を第9図乃至第11図を用いて説明する。

なお、第9図は、第8図において半導体素子のレイアウトを既に説明してあるので、構成を見易くするために半導体素子に符号を付していない。

マスタスライス方式のICでは、入出力回路も予じめ各セル内に半導体素子を形成しておき、順

客の要求があった後に、配線工程によって回路を構成する。ところが、顧客のどのような要求にも対応するために、セル数および素子数は充分に設けてある。したがって、基本セルの内には半導体素子を備えてはいるが、未使用の基本セルが存在する。この未使用の基本セルを用いて平滑コンデンサを構成するのが、本実施例の特徴である。

第9図乃至第11図において、47は第1層目の電層であり、基本セル内の略全域に設けてある。

隣接する基本セルも未使用であれば、導電層47は第9図と同様のパターンで2つの基本セルに連続して設ける。

導電層47はp型半導体領域、すなわちベース領域40および抵抗素子 R_1 、 R_2 、 R_3 を逆バイアスにするために、それらを導電層44に接続するものである。導電層44と導電層47との接続は、接続孔48を通して行なわれる。また、前記ベース領域40および抵抗素子 R_1 、 R_2 、 R_3 と導電層47との接続部は、X印で示してあり、符号は付していない。

ベース領域40および抵抗素子 R_1 、 R_2 、 R_3 を逆バイアスにすることによって、エピタキシャル層35との間に接合容量を得ることができる。

また、第9図を見ると判るように、導電層43がセル上に占める比率が、他の導電層44、45、46より大きい。このことから、絶縁膜37を誘電体として導電層43と導電層47とでコンデンサを構成することができる。

このように、第1層目の V_{ee} 電位の導電層47を中央の電極とし、前記半導体領域および第2層目の V_{cc} 電位の導電層43とで並列コンデンサを構成するのが、本実施例の最大の特徴である。

49、51、53はそれぞれ第1層目の導電層である。導電層49は、トランジスタ Q_1 のコレクタ領域39およびエミッタ領域41を導電層43Aに接続し、導電層51は、トランジスタ Q_2 、 Q_3 のコレクタ領域39およびエミッタ領域41を導電層43Bに接続し、導電層53は、トランジスタ Q_4 のコレクタ領域39およびエミッタ領域41を導電層43Bに接続している。導電層4

9は接続孔50を通して導電層43Aに接続され、導電層51は接続孔52を通して導電層43Bに接続され、導電層53は接続孔54を通して導電層43Bに接続されている。

なお、導電層49、51、53とコレクタ領域39、エミッタ領域41とのそれぞれの接続部はX印で示めし、符号は付していない。

前記コレクタ領域39、エミッタ領域41は、それらを逆バイアスにすることによって、実施例1と同様に、埋め込み層34との間、あるいはベース領域40との間に平滑コンデンサを構成するものである。

以上説明したことからわかるように、本実施例IIによれば、入出力回路を構成するセル内の使用半導体素子および配線以外の未使用領域に、第1層目の導電層と第2層目の導電層とで平滑コンデンサを構成することにより、実装基板上に設けられるべき平滑コンデンサを不要にすることができる。したがって、実装基板上のICの実装密度を向上することができる。

未使用の半導体素子を用いて第1平滑コンデンサを構成し、第1層目の導電層と第2層目の導電層とで第2平滑コンデンサを構成して、それらを並列に接続したことにより、平滑コンデンサの容量値を増加することができる。

〔効果〕

本願によって開示された新規な技術によれば、以下の効果を得ることができる。

(1)、チップ内の未使用の半導体素子を逆バイアスにすることによって、接合容量からなる平滑コンデンサを構成したので、半導体素子、特にトランジスタの近傍に平滑コンデンサを設けることができる。

(2)、入出力回路を構成するセル内の使用半導体素子および配線以外の未使用領域に、第1層目の導電層と第2層目の導電層とで平滑コンデンサを構成することにより、実装基板上に設けられるべき平滑コンデンサを不要にすることができる。

(3)、前記(1)および(2)により、平滑コンデンサと半導体素子との間の配線長を低減する

ことができるので、それらの間の配線抵抗が減少し、平滑コンデンサによって良好にノイズを吸収することができる。

(4)、前記(3)により、電源配線に重畳するノイズを半導体素子の近傍において吸収することができるので、前記半導体素子に流入するノイズを低減することができる。

(5)、前記(4)により、ICの信頼性を向上することができる。

(6)、前記(1)および(2)により、実装基板上に設けられるべき平滑コンデンサを不要にすることができる。

(7)、前記(6)により、実装基板上のICの実装密度を向上することができる。

(8)、未使用の半導体素子を用いて第1平滑コンデンサを構成し、第1層目の導電層と第2層目の導電層とで第2平滑コンデンサを構成して、それらを並列に接続したことにより、平滑コンデンサの容量値を増加することができる。

以上、本発明者によってなされた発明を実施例

にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることは言うまでもない。

例えば、本発明は、バイポーラトランジスタを備えたICばかりでなく、MISFETを備えたIC、例えばゲートアレイにも適用できる。MISFETを構成するための半導体領域がn型であれば、この半導体領域は半導体基板よりも高電位の電源配線に接続し、p型であれば半導体基板と同電位、あるいは半導体基板よりも低電位の電源配線に接続する。

図面の簡単な説明

第1図乃至第7図は、本発明の実施例Iを説明するための図であり、

第1図は、複数のICを実装基板上に搭載して構成した電子装置の斜視図、

第2図は、マスタースライス方式のチップの構成の概略を示す平面図、

第3図は、第2図におけるセル列の要部の平面

図、

第4図は、第3図における基本セルに構成された論理回路の等価回路図、

第5図は、基本セルに設けられている半導体素子のレイアウト図、

第6図は、第3図のVI-VI切断線における断面図、

第7図は、第3図のVII-VII切断線における断面図である。

第8図乃至第11図は、実施例IIを説明するための図であり、

第8図は、入出力回路を構成するための基本セル内に設けられた半導体素子のレイアウト図、

第9図は、前記基本セル内に構成した平滑コンデンサを説明するための平面図、

第10図は、第9図のX-X切断線における断面図、

第11図は、第9図のXI-XI切断線における断面図である。

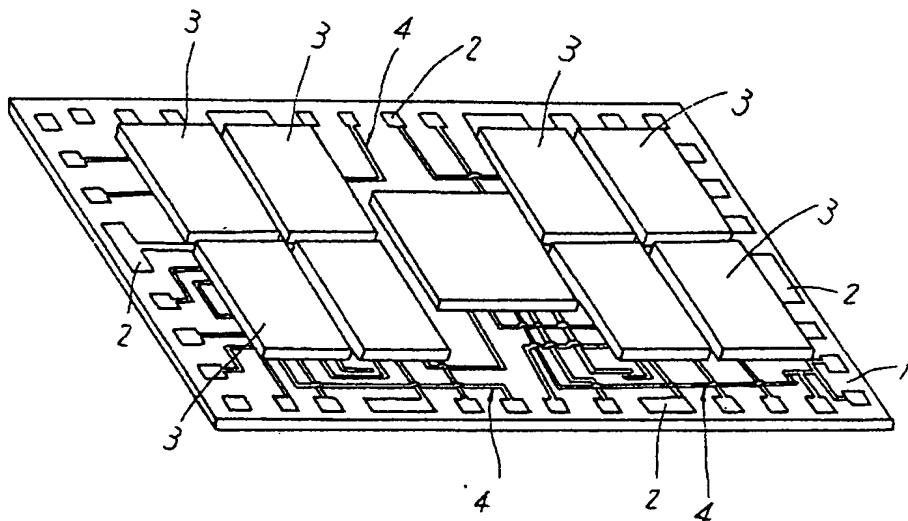
1…実装基板、2…電極、3…IC、4…配線、

5…半導体基板、6…ボンディングパッド、7…
入出力回路、8、8A…セル列、9、12、13、
16、 R_1 、 R_2 、 R_3 …負荷抵抗、17、18、
20、22、23、24、25、26、27、2
8、29、30、31、42、43、43A、4
3B、44、45、46、47、49、51、5
3…導電層、19、21、48、50、54…接
続孔、32…フィールド絶縁膜、33…チャネル
ストップ領域、34…埋め込み層、35…エピタ
キシャル層、36、37、38…絶縁膜。

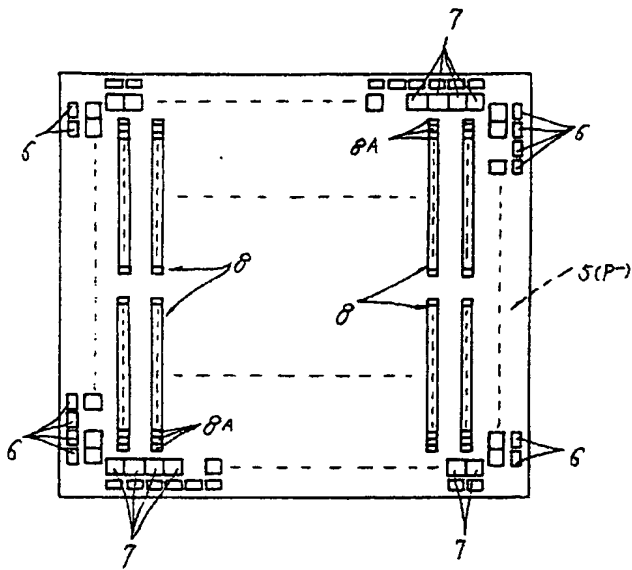
代理人 弁護士 高橋明夫



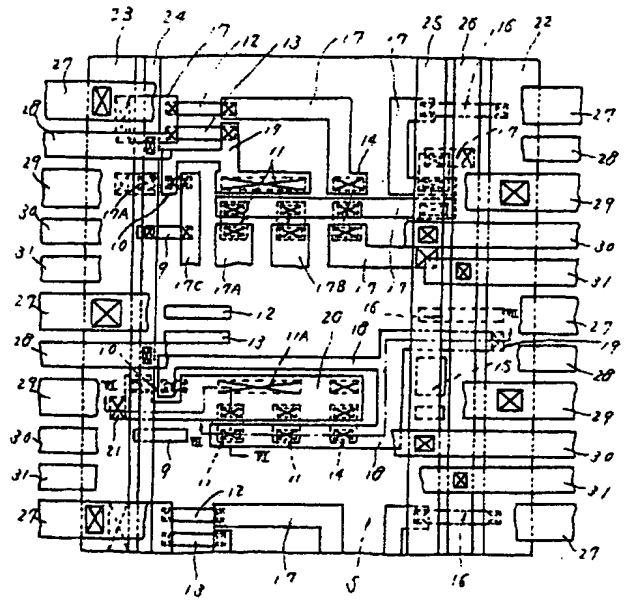
第 1 図



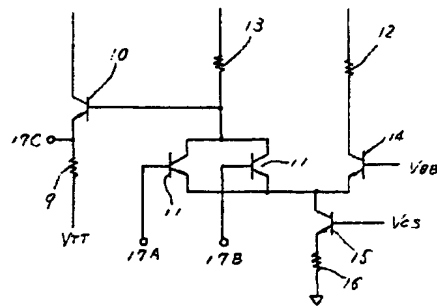
第 2 図



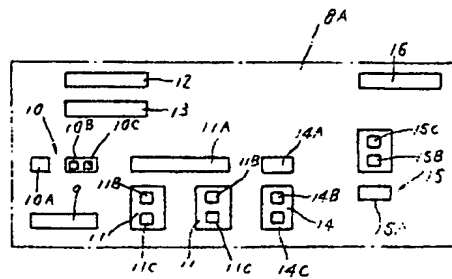
第 3 図



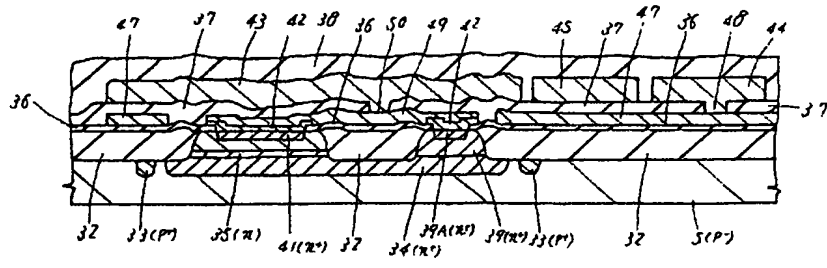
第 4 図



第 5 図



第 10 圖



第 11 圖

